(1) Japanese Patent Application Laid-Open No. 8-228145 (1996)

"Low-Voltage SOI Type Logic Circuit"

The following is the translation of the structure in the front page:

5

In low voltage SOI type logic circuit, a body of MOSFET for a logic circuit is brought into a floating state to set a low threshold voltage and a body of MOSFET for power switch is biased by a power supply voltage to set a high threshold voltage.

(19)日本四条件庁(JP)

(11) 特許田野公開番号

特照平8-228145

(43)公開日 平成8年(1996)9月3日

				29/786	
6132	29/78		331	27/08	
-	27/04			21/822	•
331	H01L 27/08				110H
-	H03K 19/094			19/0948	H03K
	F 1	疗内整理番号	# 15 15 M		(51) Int CL*

特色語名 未開発 競技近の数10 01 (全 10 頁)

<b>(21) 出資時</b>	特圖平7-157847	(71) 出類人 000004228	000004228
			日本電信電話株式会社
(22)出版日	平成7年(1995) 6月23日		東京都新僧区西新僧三丁目19番2号
		(72) 発明者	四種 西原
(31)優先指主要番号	<b>期</b> 平6-168851		東京都千代田区内華町1丁目1番6号
(32)優先日	平6 (1994) 6月28日		本電信電話株式会社内
(33)優先權主張国	日本 (JP)	(74) (6型人	(74)代组人 弁理士 谷 鐵一 (外1名)
(31)優先權主張番号	<b>特置</b> 平6-334640		
(32)優先日	平6 (1994)12月20日		
(33)優先権主張国	日本 (JP)		

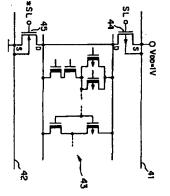
町1丁目1番6号

(54) [発明の名祭] 広島氏SOI 塑物項回路

(57) 【畑巻]

圧によるパイアスをかけて、高しきい値気圧のMOSF た、角質スイッチ用MOSFETのボディ部には角質的 部として、低しない倍属圧のMOSFETとするととも 輪類回路のMOSFETのボディ部をフローティング校 **堀回路(43)とを、直列接続したSOI型論理回路。** 4, 45)と、SOI型MOSFETから構成される論 【構成】 島嶽スイッチ用のSOI型MOSFET(4

費電力の低減を図った。 圧の焦点スイッチ用MOSFETによって、待機時の消 理回路の高遊劇作を可能とするとともに、 高しきい値包 【効果】 低し合い値電圧のMOSFETによって、論



TLOW-VTH MOSFET . THIGH-VTH MOSFET

【特許競求の範囲】

છ

時期平8-228145

の電界効果トランジスタと、 スとボディ部が前記第1の電源線に接続されたSOI (SiliconOn Insulator)型の第1 【請求項1】 第1の電源線と、第2の電源線と、ソー

ソースとポディ部が前記第2の電源線に接続されたSO 【型の第2の電界効果トランジスタと、

前記第1の電界効果トランジスタのドレインと前記第2 **論理回路とを具備し、** の電界効果トランジスタのドレインとの間に接続された

成され、該SOI型電界効果トランジスタのボディ部を 前紀論理回路は、SOI型電界効果トランジスタから構 フローティング状態とし、前記第1の電界効果トランシ 間の技統をオン/オフすることを特徴とする低電圧SC トに供給される信号によって、前記第1の電源線と前記 スタのゲートと前記第2の電界効果トランジスタのゲー 論理回路、および前記第2の電源級と前記論理回路との

【請求項2】 第1の電源線と、

跳2の無点様で、

トに接続されたSOI型の第1の電界効果トランジスタ ソースが前記第1の電源線に接続され、ボディ部がゲー

ソースが前記第2の電源線に接続され、ボディ部がゲー トに接続されたSOI型の第2の電界効果トランジスタ

の電界効果トランジスタのドレインとの間に接続された 前記第1の電界効果トランジスタのドレインと前記第2 論理回路とを具備し、

成され、該SOI型電界効果トランジスタのボディ部を 前記論理回路は、SOI型電界効果トランジスタから標 間の接続をオン/オフすることを特徴とする低電圧SO **歯理回路、および前記第2の君憑線と前記論理回路との** トに供給される信号によって、前記第1の電源線と前記 フローティング状態とし、前記第1の電界効果トランシ スタのゲートと前記第2の電界効果トランジスタのゲ I 型論理回路。

トランジスタのボディ部および前記第2の電界効果トラ を完全空乏化状態とするとともに、前記第1の電界効果 たは2に記載の低電ESOI型論理回路。 部を部分空乏化状態としたことを特徴とする請求項1ま ジスタのボディ部の不純物濃度を闘整して、眩ボディ部 ンジスタのボディ部の不純物濃度を調整して、該ボディ 【精求項3】 前記論理回路を構成する電界効果トラン

形成される空芝層の厚さが、以下の式で与えられる空芝 ジスタのボディ部の不純物遺度を調整し、該ボディ部に タのボディ部の不純物濃度を調整し、該ボディ部に形成 ジスタのボディ部および前記第2の電界効果トランジス 層幅W以上となるようにし、前記第1の危界効果トラン 【請求項4】 前記論理回路を構成する電界効果トラン

> ように設定したことを特徴とする請求項1または2に記 される空芝層の厚さが、前記空芝層幅Wより小さくなる 我の氏亀氏SOI型鏡母回路。

ただし、ε」は、シリコン部の誘電率 ゆ は、シリコン部のフェルミポテンシャル [数1]  $W = \{2 \epsilon_{i1} \cdot 2 \phi_{i} / (q \cdot N_{ini})\}^{1/2}$ 

qは、電子の館荷

N<sub>1447</sub>は、ボディ部の不純物資度

空乏化状態としたことを特徴とする請求項 4に記載の原 スタのボディ部および前記第2の電界効果トランジスタ 乏化状態とするとともに、前記第1の電界効果トランジ 過度を1×10"cm-1以下とし、該ボディ部を完全空 シスタのボディ部の厚さを100mm以下、その不純物 1×10"cm-1より大に設定して、該ボディ部を部分 のボディ部の厚さを100mm以下、その不飢物濃度を 【請求項5】 前記論理回路を構成する電界効果トラン

【請求風6】 第1の角態媒と

前配第2の電源線との間に接続された論理回路とを具備 前記電源スイッチ用電界効果トランジスタのドレインと I 型の電源スイッチ用電界効果トランジスタと、 ソースとボディ部が前記第1の電源線に接続されたSO

成され、該SOI型電界効果トランジスタのボディ部を 前記論理回路は、SOI型電界効果トランジスタから することを特徴とする低電圧SOI型論理回路。 フローティング状態とし、前記電感スイッチ用電界効果 第1の電源線と前記論理回路との間の接続をオン/オフ トランジスタのゲートに供給される信号によって、前記

【請求項7】 第1の焦遊録と、

第2の低速機と、

トに接続されたSOI型の電源スイッチ用電界効果トラ ソースが前記第1の電源線に接続され、ボディ部がゲー

前記電級スイッチ用電界効果トランジスタのドレインと 前記第2の電源線との間に接続された絵理回路とを具備

第1の舞蹈線と前記論理回路との間の接続をオン/オン 成され、該SOI型電界効果トランジスタのボディ部を 前記論理回路は、SOI型電界効果トランジスタから構 トランジスタのゲートに供給される信号によって、声記 フローティング状態とし、前記電源スイッチ用電界効果 することを特徴とする氏亀氏SOI型鍋理回路。

る請求項6または7に記載の低電圧SOI型論理回路。 て、核ボディ部を部分空之化状態としたことを特徴とす 館界効果トランジスタのボディ部の不純物濃度を調整し を完全空乏化状態とするとともに、前記電源スイッチ用 ジスタのボディ部の不純物遺皮を関整して、該ボディ部 【荫求項8】・前記論理回路を構成する電界効果トラン



し、該ボディ部に形成される空芝層の厚さが、以下の式

**職界効果トランジスタのボディ部の不純物濃度を調整** 

【0016】また、本発明は、前記論理回路を構成する

の電界効果トランジスタのボディ部および前記第2の電 で与えられる空芝層幅W以上となるようにし、前記第1

該ボディ部に形成される空芝層の厚さが、前記空芝層製

Wより小さくなるように設定したことを特徴とする。

[0017]

界効果トランジスタのボディ部の不純物過度を調整し、

【館求項9】 前記論理回路を構成する電界効果トランジスタのボデド部の不純物過度を顕整し、該ボディ部に または7に記載の低電圧SOI型論項回路。 ディ部に形成される空を層の厚さが、前記空を層┫Wよ 層幅W以上となるようにし、前記電源スイッチ用電界效 形成される空足層の厚さが、以下の式で与えられる空足 り小さへなるように数定したことを特徴とする群求項 6 果トランジスタのボディ部の不純物遺皮を問整し、咳ボ

ただし、6.1は、シリロン部の影覧場 of は、ツンロン館のフェブミボアンツャブ [数2] W=  $\{2e_{ii} \cdot 2\phi_{i} / (q \cdot N_{bid_{i}})\}$  1/1

qは、電子の配荷

Nintは、ボディ部の不純物資政

空乏化状態とするとともに、前記電源スイッチ用電界気 の不純物遺成を1×10㎡cm-3より大に設定して、設 果トランジスタのボディ部の厚さを100nm以下、そ 項9に記載の低載氏SOI型動理回路。 ボディ部を部分空尽化状態としたことを特徴とする請求 物過度を1×1011cm-3以下とし、該ボディ部を完全 ンジスタのボディ部の厚さを100mm以下、その不供 【請求項10】 前記論理回路を構成する電界効果トラ

【発明の詳値な説明】

果トランジスタを用いた低電圧301型論理回路に関す 動作可能なSOI(Silicon On Insulator)型の電界効 【確棄上の利用分野】この角明は、1 Vの乾電池電源で

05", 1888, 1993、 186-189スージに記録された 權、史之は、S.Mutoh, et al. "IV HIGH SPEED DIGITAL OS回路を用いたもので、特別平6-29834号公 すような回路が知られている。これは、パルク型のCM CIRCUIT TECHNOLOGY WITH 0.5 4 MULTI-THRESHOLD CH 【従来の技術】従来の低電圧輸理回路として、図1に示

きい値載圧のMOSFETであり、輪類回路群3は、低 挽された角板スイッチ用MOSFET5との間に、CM の反転信号 \* S L がそれぞれ供給され、論理回路群3の こで、亀樹スイッチ用MOSFET4および5は、高し OS論理回路群3を接続した基本構成を有している。こ 亀瀬スイッチ用MOSFBT4と、低低位低遊職2に接 には、スリープ信号SLが低レベルとされ、MOSFE 竹橋写(スリー/塔)では、荷号SLが着フスルとさ しおい価値用のMOSFETから構成されている。 への亀瀬供給を停止する。逆に、論理回路群3の動作時 **れ、MOSFET4および5をオフとし、論理回路群3** BT4および5のゲートには、スリープ信号SLと、そ 【0003】この回路は、高電位電源線1に接続された T4および5をオンとして、韓国回路群3に危急供給す 【0004】高しきい値電圧の電源スイッチ用MOSF

> は、動作速度は遠いが遮断時のリーク電流は大きく、逆 ク島流を維持しつり、韓国回路群3の動作時には、高速 したがって、図1の回路は、スリープ時には小さなリー 道断時のリーク電流は小さいという特性をもっている。 に高し合い倍亀圧のMOSFBTは、動作速度は違いが 動作を持続することが回館となる。

に記されているが、これは表記上の便宜のためであり、 によって、パルク型のCMOS回路で起こりやすいラッ ている点である。これは、基板パイアスを印加すること 回路では、鶴理回路群3のMOSFETの各基板が、高 色点線に接続されている。 実際には、これらのMOSFETの基板も、それぞれの OSFETの基板がとこれも接続されていないかのよう 紀Mutoh, et al. の論文のFig. 1では、倫理回路群のM チアップによる誤動作を防止するためである。なお、上 糖位電源線 1 または低電位電源線 2 にそれぞれ接続され 【0006】ここで注目すべき点は、従来の低電圧論理

問題がある。以下、この点について説明する。 回路に適用しようとすると、索子面積が増大するという **【0007】このような構成をSOI短のCMOS論理** 

膜12が形成され、その上には、単結晶ショコン層から 造を示す断面図である。シリコン基板11上に埋込酸化 ィブ領域13は、ソース131、ドレイン132、およ なるアクティブ領域13が形成されている。このアクテ のゲート制備15に制圧を印加することによって、ボデ クティブ領域13は、ゲート酸化膜14で覆われ、ゲー びそれらに挟まれたボディ部133からなっている。 1から絶縁されている。 **毎133は、埋込敷化膜12によって、シリコン基板1** レイン132、およびボディ部133からなり、ボディ このように、アクティブ飯域13は、ソース131、ド ィ部133の上部にチャンネル部134が形成される。 ト酸化棋14上にゲート電極15が形成されている。こ 【0008】図2は、従来のSOI型MOSFETの模

示す。図3(A)に示すバルク型PMOSFETでは、 **リロン上海から純白が中泊へきるようにしている。** N: 領域24が形成され、コンタクト25を通して、シ 形成されている。また、ウェル20内には、パイアス用 ェル20上面にゲート酸化膜を介してゲート電極23が のソース21とドレイン22が形成されるとともに、ウ 基板内にN型のウェル20が形成され、その中にP'型 板へのパイアスの印加方法を示し、図3(B)は、SO I 型MOSFE Tのボディ部へのバイアスの印加方法を 【0009】図3 (A) は、パルク型MOSFETの基 【0010】一方、図3 (B) に示すSOI型PMOS

【0005】一袋に、魚し合い歯島田のMOSFET

**ランジスタと、ソースが前記第2の電源線に接続され、** る信号によって、前記第1の電源線と前記論理回路、お と前記第2の電界効果トランジスタのゲートに供給され 〇 I 型電界効果トランジスタのボディ部をフローティン は、SOI型電界効果トランジスタから構成され、該S 果トランジスタと、前記第1の電界効果トランジスタの ボディ部がゲートに接続されたSOI型の第2の鳥界効 電源線と、ソースが前記第1の電源線に接続され、ボデ よび前記第2の電源線と前記論理回路との間の接続をオ グ状態とし、前記第1の概界効果トランジスタのゲー| との間に接続された嫡煕回路とを具備し、前記緬理回路 ドレインと側記第2の鶴界効果トランジスタのドレイン ↑部がゲートに接続されたSOI型の第1の電界効果 ト ソノオフすることを特徴とする。 【0014】また、本発明は、第1の電源線と、第2の

の君界効果トランジスタのボディ部の不純物濃度を開盤 第1の電界効果トランジスタのボディ部および前記第2 **電界効果トランジスタのボディ部の不再物温度を開整し** 【0015】また、本発明は、前記論理回路を構成する <u>、て、該ボディ部を部分空</u>乏化状態としたことを特徴と 該ボディ部を完全空芝化状態とするとともに、前記

FETは、図2に示すように、ボディ毎133がシリロ

よって、ポティ郎133をパイアス用飯属34に接続 ン基板11から絶縁されているために、接続部34Aに

し、そこにコンタクト35を形成する構造にしなければ

た。特に、論理回路群3を構成するMOSFETのサイ ルク型MOSFETと比較して、パイアス用領域が増大 せるという問題があった。 し、その分だけ占有面積が増大するという欠点があっ ズの増大は、回路面積の増大をきたし、集積度を低下さ 【0011】この結果、SOI型MOSFETでは、パ

[0012]

は、高速動作および高集積が可能な低電圧SOI型論理 回路を提供することである。 【発明が解決しようとする課題】そこで、本発明の目的

ただし、 ε , は、シリコン部の誘電率

[数3] W=  $\{2 \epsilon_{i1} \cdot 2 \phi_{i} / (\mathbf{q} \cdot \mathbf{N}_{int})\}^{1/2}$ 

ゆ,兵、ツリコン郎のフェブミボアンシャブ

qは、電子の電荷

から構成され、該SOI型電界効果トランジスタのボデ sulator)型の第1の電界効果トランジスタと、 源線に接続されたSOI (Silicon On In と、第2の電源線と、ソースとボディ部が前記第1の電 のゲートに供給される信号によって、前記第1の電源線 崩し、前記論理回路は、SOI型電界効果トランジスタ 効果トランジスタのドレインと前記第2の鶴界効果トラ ソースとボディ部が前記第2の電源線に接続されたSO 路との間の接続をオン/オフすることを特徴とする。 【課題を解決するための手段】本発明は、第1の電源線 一部をフローティング状態とし、前記第1の電界効果と **/ジスタのドレインとの間に接続された論理回路とを貝** . 型の第2の飢界効果トランジスタと、前記第1の電界 ンジスタのゲートと前記第2の電界効果トランジスタ 前記論理回路、および前記第2の電源線と前記論理回

> を1×10川cm-1より大に殻定して、数ボディ部を部 タのボディ部の厚さを100nm以下、その不純物濃度 空芝化状態とするとともに、前記第1の電界効果トラン 物濃度を1×101cm-1以下とし、数ボディ部を完全 N trit、ボディ部の不純物濃度 分望だ化状態としたことを特徴とする。 ジスタのボディ部および前記第2の電界効果トランジス ンジスタのボディ部の厚さを100nm以下、その不算 また、本発明は、前記論理回路を構成する電界効果トラ

**電界効果トランジスタのゲートに供給される信号によっ** ディ部をフローティング状態とし、前記電器スイッチ用 タから構成され、該SOI型電界効果トランジスタのボ 具備し、前記論理回路は、SOI型電界効果トランジス されたSOI型の電源スイッチ用電界効果トランジスタ 鹿遊様と、ソースとボディ部が前記第1の鹿遊様で複様 て、前記第1の電源線と前記論理回路との間の接続をよ と、前記亀添スイッチ用亀界効果トランジスタのドレイ ン/オフすることを特徴とする。 ンと前記第2の電源線との間に接続された論理回路とを 【0018】また、本発明は、第1の電源線と、第2の

された論理回路とを具備し、前記論理回路は、SOI型 電源線と、ソースが前記第1の電源線に接続され、ボデ 前記電源スイッチ用電界効果トランジスタのゲートに供 ランジスタのドレインと前記第2の電源線との間に接続 界効果トランジスタと、前記電源スイッチ用電界効果ト 4部がゲートに接続されたSOI型の電源スイッチ用機 路との間の接続をオン/オフすることを特徴とする。 果トランジスタのボディ部をフローティング状態とし、 鶴界効果トランジスタから構成され、腋SOI型電界効 給される信号によって、前記第1の亀瀬穏と前記論理回 【0019】また、本発明は、第1の電源線と、第2の

物濃度を調整して、肢ボディ部を部分空足化状態とした 電源スイッチ用電界効果トランジスタのボディ部の不抑 て、抜ポディ部を完全空乏化状態とするとともに、前記 **閏界効果トランジスタのボディ部の不純物濃度を調整し** 【0020】また、本発明は、前記論理回路を構成する

前記空之層値Wより小さくなるように設定したことを包 度を調整し、該ボディ部に形成される空光層の厚さが、 スイッチ用電界効果トランジスタのボディ部の不純物道 で与えられる空を層幅W以上となるようにし、前記電源 し、該ボディ部に形成される空芝層の厚さが、以下の式 **亀界効果トランジスタのボディ部の不純物濃度を調整** 前記論理回路を構成する

[0022]

**れだつ、e.|は、ツリロン毎の概略学** 【数4】W={2 e<sub>11</sub>·2 φ<sub>1</sub> / (q·N<sub>111</sub>)} <sup>1/1</sup>

qは、電子の電荷 ゆ, は、ショロン部のフェルミボアンシャラ

Nintは、ボディ部の不思物選択

果トランジスタのボディ部の厚さを100ng以下、そ ボディ部を部分空乏化状態としたことを特徴とする。 の不純物鑑度を1×10㎡cm³より大に股定して、胶 空足化状態とするとともに、前記電源スイッチ用電界効 物通成を1×10㎡cm-3以下とし、該ボディ部を完全 また、本発明は、前記論理回路を構成する電界効果トラ ンジスタのボディ部の輝さを100mm以下、その不執

また、ボディ部をフローティング状態としたNMOSF 部が不要となり、索子面積の増大を防ぐことができる。 る。これによって、論理回路を構成するMOSFETに のボディ部をフローティング状態とした点を特徴とす の間の電圧の絶対値が大きくなるため、しきい値電圧が ディ部の亀位が上がり(下がり)、ボディ部とソースと 正孔(電子)が流入して(インパクト・イオン化)、ボ おいては、従来必要であったパイアス用領域および接続 いう知点も掛られる。 RT (PMOSFRT) では、ドフインダのボアム館へ 下がり、韓母回路繋子の反義圧化を図ることができると 【作用】本党明は、論理回路用のSOI型MOSFET

ロックの両側(または片側)にのみ配置すればよく、論 高しきい値電圧を実現するために、パイアス用領域と接 ないので、回路会体の回復への影響はほとんど無視なき 理回路用MOSFETと比較して使用個数がきわめて少 続部が必要であるが、このMOSFETは、鐘風回路ブ 【0024】また、電感スイッチ用MOSFETでは、

に設定することができる。すなわち、論理回路用の低し、 きい値角圧MOS.FE.T.では、フローティング状態とし、 **過度を開節することによって。そのしきい信息圧を正確** [0025] さらに、MOSFETのボディ部の不植物 では、電器にバイアスしたボディ部の丕植物濃度査増や **することによって、低しきい値電圧を高精度で実現する** ポディ部の不純物遺度を減らして、完全空乏化状態と ができるとともに、電源スイッチ用のMOSEET ボディ部を部分空之化状態にすることによって、

> 高しきい値電圧を正確に設定することができる。 **亀圧によって、より有利な亀添制御を実現することがで** 的に切り替えることができる。すなわち、可変しらい値 は高しきい値電圧、導通時には低しきい値電圧と、自動 ば、このMOSFETのし合い値電圧特性を、適断時に **イ部をゲートに接続して、ゲート電圧でパイアスすれ** 【0026】また、韓國スイッチ用MOSFETのボデ

[0027]

【寅施例】以下、図面を参照して、本発明の実施例を説

【.0~0~2、8】 実施例 1

図4は、本発明による低電圧SOI型論理回路の第一実 施例の構成を示す回路図である。

れば、MOSFET44、胎理回路群43およびMOS BT44のドレイン猫子は、猫風回路群43の高額位猫 **仮属位色遊録42は、略添スイッチ用NMOSFET4** イッチ用PMOSFET44のソース増子に接続され、 2は低電位電点線である。高電位電点線41は、電源ス 理回路群43のスリープ時に、MOSFET44および る。これらの信号は、鬼趣スイッチ用MOSFET44 ゲート選子では、その反抗信号\*SLが泊えられてい は、スリープ信号SLが加えられ、MOSFET45の なっている。また、MOSFET44のゲート場子に 5を介して、艫理回路群43に鶴湖が供給される構成と FET45が直列接続され、MOSFET44および4 理回路群43の低電位端子に接続されている。言い換え 子に接続され、MOSFET45のドレイン場子は、簡 5のソース場子に接続されていている。また、MOSF ET44および45をオンとする。 45をオンにし、猫翅回路群43の動作時に、MOSF および45をオン/オフ制御するための信号であり、贈 【0029】図において、符号41は高電位電源線、4

び45のボディ部はバイアスされている。 すなわち、M 成する、すべてのMOSFETのボディ部がフローティ OSFET 4 4のボディ部が高電位電源線 4 1に接続さ らのMOSFETのボディ母には、パイアスがかけられ ング状態に吸定されていることである。すなわち、これ 接続されている。 れ、MOSFET45のボディ部が氏電位配源模42に ていない。一方、電源スイッチ用MOSFET44およ 【0030】この実施例の特徴は、論理回路群43を構

電流 I № を対数スケールで示している。 V III および V たときの、しきい値電圧の変化を示すグラフである。横 ETのボディ部にパイアスをかけたとをと、かけなかっ が下がる。この理由については前述した。このように ボディ部にパイアスをかけないときには、しきい値電圧 魯琪ゲード・ソース個偶用 A ta をぶつ、森雪はドフイン 【0031】図5 (A) および図5 (B) は、MOSF は、しきい値電圧である。図から明らかなように、

> 値概圧のMOSFETと、低し合い値電圧のMOSFE も、ボディ部をバイアスするか否かによって、高しらい て、特別なしきい値電圧調整用のマスクを用いなくて、 SOI型MOSFETでは、その製作プロセスにおい Tとを実現することができる。

**濃度をコントロールすることによって、高精度のしきい** 値電圧の調整を行っている。以下、この点を詳細に説明 【0032】本実施例では、さらに、ボディ部の不純物

図である。これらの図から分かるように、論理回路群4 BTの構造を示す断面図であり、図6(B)は、電源ス Wがボディ部の厚さ以上に設定されている。すなわち、 3用MOSFETのボディ部133Aは、その空芝層幅 イッチ用MOSFET44および45の構造を示す断面 【0033】図6 (A) は、論理回路群43用MOSF

 $W = \{2 \varepsilon_{i1} \cdot 2 \phi_i / (q \cdot N_{init})\}^{1/2}$ 

ただし、ミニはシリコンの誘動率、 qは君子の館荷量 **ぬ。 ヸツンロンのレェデッポアンツャラ** 

Nintrはボディ部の不純物適度

である。また、1nは自然対数を表す。 n, はシリコンの真性キャリア密度 Tはボディ部の絶対温度 ただし、 kはポルツマン定数  $\phi_i = (kT/q) \ln (N_{i+i}/n_i)$ 

空乏層幅Wを、この膜厚tipi よりも大きくした場合、 ボディ部133Aは、完全空乏化状態となる。この状態 【0037】アクティブ領域13の膜厚をt<sub>101</sub>とし、

 $V_{11} + V_{11} + 2\phi_1 + (2\epsilon_{11} \cdot 2\phi_1 \cdot q \cdot nN_{141})^{1/2} / C_{01}$ 

ただし、Vnはフラットパンド処圧

のときのしきい値電圧は、図7に示すように、0.2V m、ゲート酸化膜14の膜厚torを7nm (これによる ためには、アクティブ領域13の腹厚t pot を100n OSFETのボディ部133Aを完全空足化状態にする Cotはゲート酸化成14による容量である。 ことができる。なお、図7から分かるように、不純物濃 程度になり、低しきい値電圧のMOSFETを実現する 結物過度N<sub>ivir</sub>を8×10"cm<sup>-3</sup> (このとをV<sub>n</sub>=-Cor=0.49 u F / cm³)、 ボディ部133 Aの不 度を減らして空乏層幅を増大することによって、しきい 0.9V,2ø/=+0.8V)に設定すればよい。こ 値電圧は低下する。 【0040】上記(1)-(3)式から、論理回路用N

ィブ領域13の膜厚t pp が100 n mのときには、不 転級スイッチ用MOSFET44および45では、ボデ 植物遺度N<sub>141</sub>は、1×10<sup>11</sup>cm<sup>-1</sup>以下が好ましい。 イ部133Aの完全空乏化状態が実現できるが、アクテ 【0042】一方、ボディ部133Bがパイアスされた 【0041】こうして、論理回路用MOSFETのポデ

> ている。すなわち、ボディ部133Bは、部分空乏化状 は、その空之層橋Wがボディ部の厚さよりも小さくされ 方、電源スイッチ用MOSFETのボディ部133B ポディ部133Aは、完全空足化状態にされている。| **苺スイッチ用MOSFETのしきい値電圧は、高しきい** 態にされている。一般に、空を層幅が大きいほど低電圧 **想圧は、所図の低しきい値電圧に高精度で設定され、電** る。したがって、論理回路群用MOSFETのしきい値 でチャンネルが形成されるから、しない値鶴圧が下が 伯君圧に高辯度で設定される。

SFETでは、空乏層幅Wは、次の式で与えられる。 [0035] 【0034】図6 (A) および図6 (B) に示したMO

である。また、フェルミポテンシャルゆ。は、次式で与 zsns. [数6] [0036]

nは、次の近似式で与えられる。 速度が向上することが知られている。 【0038】一方、MOSFETのしきい値電圧V

るとともに、ゲート容量が低減し、MOSFETの動作

では、MOSFETの相互コンダクダンス8。が上昇す

8

[0039]

[数7]

に設定すると、空乏層厚W=54nmとなり、図6 イ部133Bを部分空乏化状態とする。 たとえば、ボデ (B) に示すように、ボディ部133Bを部分空乏化状

きる。なお、アクティブ領域13の膜厚tipi およびゲ 想とすることができる。このとき、Vn=-1.0V, 度No.t,は、1×10"cm"以上が好ましい。 ものと同じに設定される。ボディ部133Bの不純物語 ート酸化膜14の膜厚torは論理回路用MOSFETの 度の高し合い値電圧のMOSFETを実現することがで 2 0, =+0.9 Vとなり、しきい値亀圧が0.6 V程

45のオン抵抗のばらつきを小さくでき、論理回路群4 は、従来のバルク型MOSFETと同程度に小さくでき にそれぞれ接続される。このため、しきい値電圧の変動 ス用領域を介して高島位露遊線 4.1 と氏島位電遊線 4.2 る。この部分空乏化されたボディ部133Bは、パイア 4 および 4 5 のボディ 邸 1 3 3 B を部分 空 た 代 熱 と す 3に安定した電源電圧を供給することができる。 る。この結果、寛嶽スイッチ用MOSFET44だよび **【0043】こうして、韓淑スイッチ用MOSFET4** 

特開平8-228145

3

## BEST AVAILABLE COPY

特開平8-228145

低低位置遊標

æ

特闘平8-228145

低無白色過程

【0044】 與媽姆2

結例の構成を示す回路図である。 図8は、本発明による低電圧301型論理回路の第2実

感スイッチ用MOSFET44および45のボディ部 1 33日をゲート集落15に接続した点である。 【0045】この実施例が第1実施例と具なる点は、舞

MOSFET44および45のしきい復電圧を下げて、 復館圧を上げ、リーク観波を成下し、その動作時には、 スリープ時には、MOSFET44および45のしまい 韓理回路群43への供給矯圧を上げることができる。 【0046】この構成によれば、鶴理回路回路群43の

SFETのしきい値電圧Vinの絶対値が減少する。本実 施史2は、この特在を利用したものためる。 ゲート・ソース図集圧Vggの絶対値が増加すると、MO きい値載圧V₁₁である。これらの図から分かるように、 て、疫毒はゲード・ソース喧嚣用 Aitであり、疫気はし を概用するためのグラフである。これらのグラフにおい 【0047】図9(A)および図9(B)は、その題由

ート・ソース間舞圧 Verも、NMOSFET 45のゲー V)が加えられる。このとき、PMOSFET44のケ NMOSFET 45のゲートに向レステ信応+SL(0 4のゲートに増レスルの信号SL(1V)が供給され、 わち、しきい値程用V<sub>13</sub>は低くなる。 ト・ソース間衛圧Vagも、低熾圧(0V)となる。すな 【0048】まず、スリープ時には、PMOSFET4

が供給され、NMOSFET45のゲートに増レスパ信 OSFET44のゲートに成アスプの信号SL (OV) となる。すなわち、しきい値載圧Vyyは低くなる。 **T45のゲート・ソース回島圧Vutも、返島圧(1 V)** ET44のゲート・ソース間載EVutも、NMOSFE 号\*SL(1V)が加えられる。このとき、PMOSF 【0049】逆に、韓雄回路群43の衛作時には、PV 【0050】この結果、スリープ時には、MOSFET

44~2に直接接続すればよい。 た場合は、論理回路群43の低電位端子を、低電位電器 できる。たとえば、魚鷺位館のMOSFET45を除い その一方のみでも、ほぼ同様の作用効果をあげることが 韓風回路群43への供給艦圧を増すことができる。 無位何にも韓郷スイッチ用のMOSFETを設けたが、 【0051】なお、上記各実施例では、高電位倒にも低

は、MOSFET44および45のオン抵抗が減少し、 値に押さえることができ、陰風回路群43の動作時に 44および45のオフ抵抗が増して、リーク電流を低い

新であり、T.Andoh,et al., "Design Methodology for Tのボディ部をゲート電極に接続した構成を示す従来技 点は、ボディ部がゲート最極に接続されたMOSFET 数されたものである。本実施例がこの従来技術と異なる Low-Voltage MOSFETs", 1994, IEEE, 79-82 ページに記 を、従来技術では、輸理回路用MOSFETとして用い 【0052】図10は、鱠理回路を構成するMOSFE

> 後が増加するとともに、入力容量が増加するため、ボデ FETとして利用している点である。 ボディ 鸽ダゲート ているのに対して、本発明では、電源スイッチ用MOS 影響をまるがたることができる。 用素子として用いているため、このような欠点による思 度が遅くて済み、かつ使用個数が少ない、電源スイッチ は、このようなMOSFETを、鶴理男子よりも動作送 が遅へ、糖理回路用としては適していない。 本実施的な イ部をフローティング状態とした素子よりも、動作速度 義協への接続部を設けねばならないために、素子占有回 角癌に破壊されたMOSFETは、ボディ部かのゲート

[0053]

を提供することができる。 高速動作および高集後が可能な低電圧SOI型論理回路 【発明の効果】以上説明したように、本発明によれば、

【図面の簡単な説明】

路図である。 【図1】従来の低電圧CMOS倫理回路の一例を示す回

【図2】SOI型MOSFETの一般構造を示す断面図

SFETのボディ部パイアス構造を示す平面図である。 イアス構造を示す平面図、(B)は従来のSOI型MO 簡例の構成を示す回路図である。 【図4】本発明による低電圧S0I型論理回路の第1実 【図3】(A)は従来のパルク型MOSFETの結板パ

のボディ部にバイアスをかけたときの、ソース・ゲート ボディ部にバイアスをかけないときの、ソース・ゲート 閩亀圧対ドレイン亀流特性、およびしきい倍亀圧を示す 間億圧対ドレイン電流特性、およびしきい値億圧を示す グラフ、(B)は第1実施例において、MOSFETの 【図5】 (A) は、第1実施例において、MOSFET

亀圧のSOI型MOSFETの構造を示す断面図であ い値電圧のSOI型MOSFETの構造を示す断面図、 (B) は第1実施例で用いた電源スイッチ用高しをい値 【図6】(A)は第1実施例で用いた論理回路用低しき

示すグラフである。 【図7】ボディ部の不純物濃度対しきい値電圧の関係を

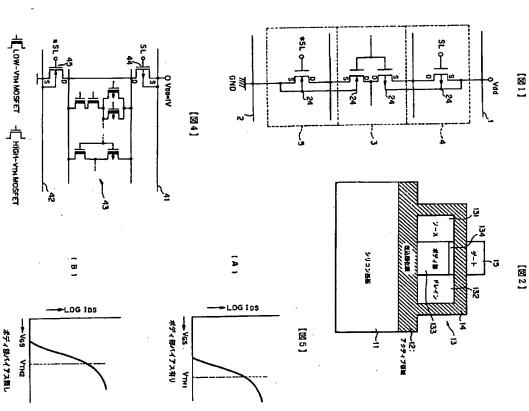
施例の構成を示す回路図である。 【図8】本発明による低電圧SOI型論項回路の第2寅

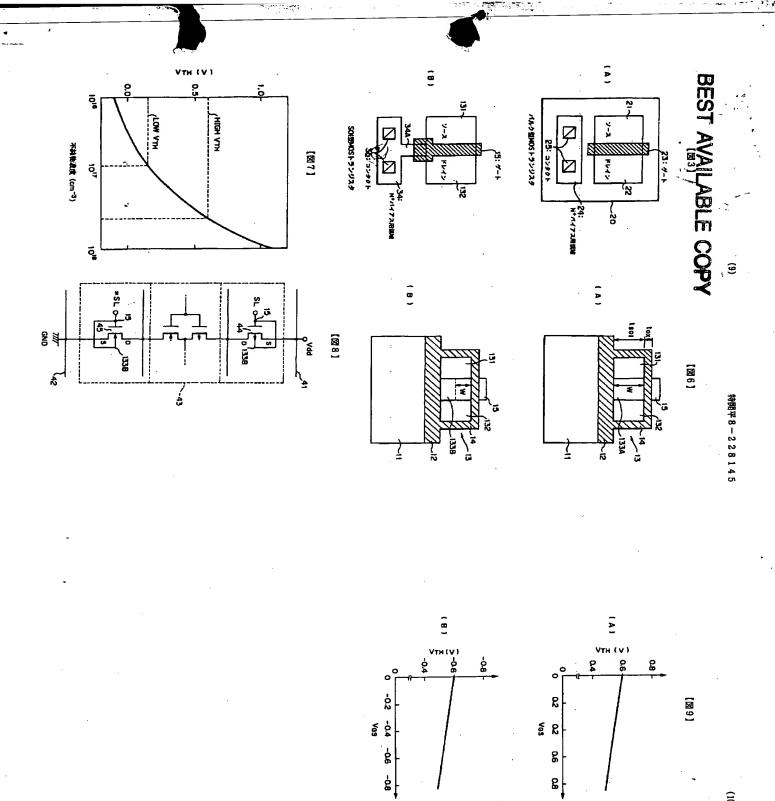
**1部をゲード網絡で嵌続したときの、ソース・ゲート**語 爬圧特性を示すグラフ、(B)はPMOSFETのボデ 極に接続したときの、ソース・ゲート間電圧対しをい値 **旭**圧対しきい値電圧特性を示すグラフである。 【図9】 (A) はNMOSFETのボディ部をゲート舞

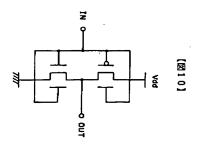
回路を示す図である。 【図10】第2実施例と一部類似した構成を有する従来

【符号の説明】 超角位色激素

> 電源スイッチ用MOSFET 亀嶽スイッチ用MOSFET **独四回路群** 高電位電源線 ツココン基板 埋込酸化膜 ゲート価値 ゲート酸化膜 アクティブ領域 132 133 ボディ度 131 ソース 1338 ボディ部 133A ボディ部 34 チャンネル部 電源スイッチ用MOSFET 亀添スイッチ用MOSFET 精和回路群 ドレイン







(10)